



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1019990237329

(44) Publication.Date. 19991007

(21) Application No.1019970004655

(22) Application Date. 19970217

(51) IPC Code:

H01L 23/00

(71) Applicant:

ANAM SEMICONDUCTOR., LTD.

(72) Inventor:

KIM, YEONG MUN

(30) Priority:

(54) Title of Invention

STRUCTURE OF CHIP SCALE SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

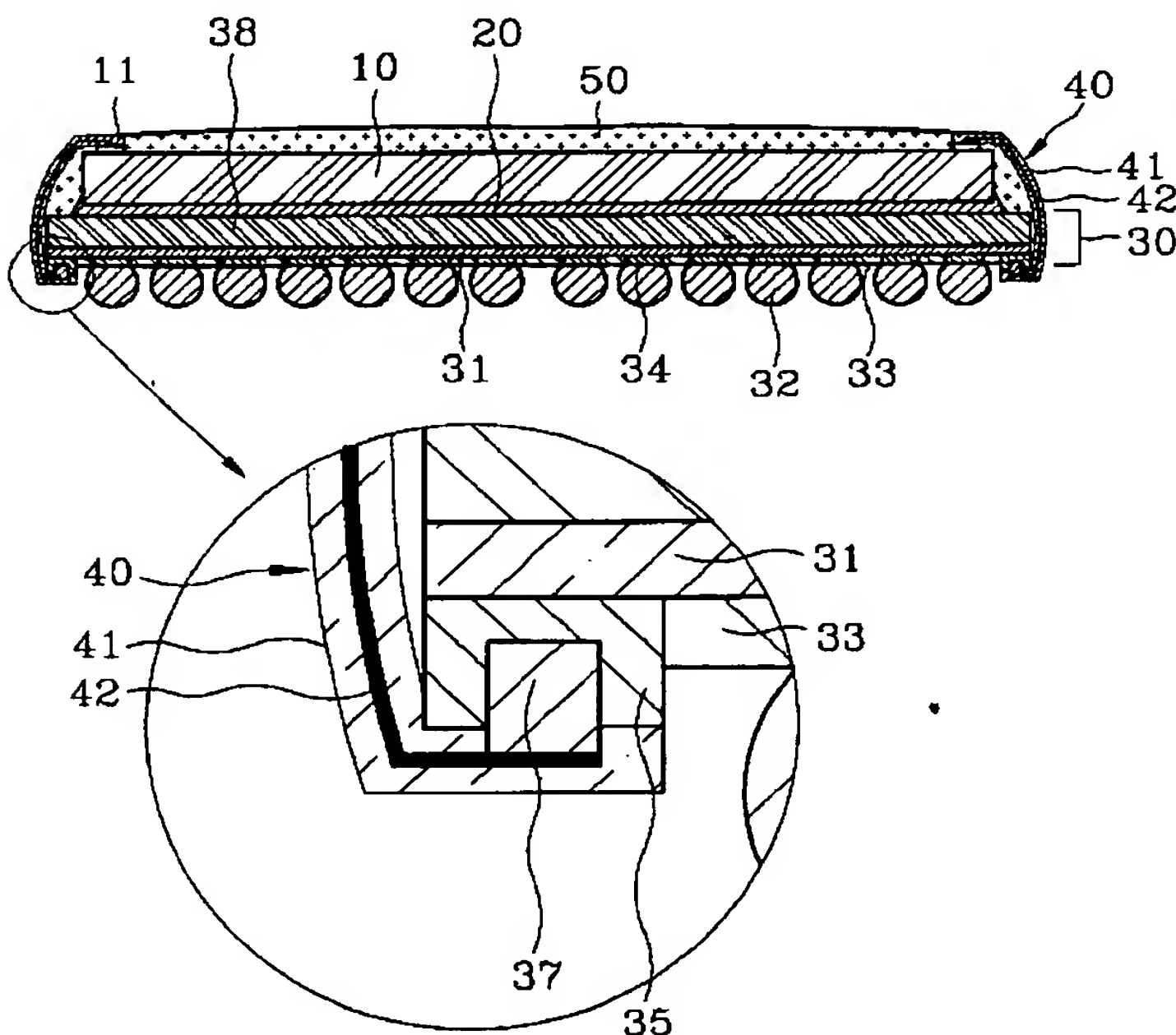
Representative drawing

(57) Abstract:

PURPOSE: A structure of chip scale semiconductor package(CSP) is provided to increase mounting density in a main board by making the size of the semiconductor package approach the size of a semiconductor chip.

CONSTITUTION: A plurality of input/output pads(11) are formed on the surface of a semiconductor chip(10). A printed circuit board(PCB)(30) of a rectangular type is bonded to a bottom surface of the chip. A circuit pattern(31) is formed on a surface of the PCB. A conductive pad(35) is formed at the edge of the circuit pattern, dented inward. A plurality of conductive wires(42) are separated by a predetermined interval, and polyimide(41) is applied on a connection unit (40) to prevent contact between the conductive wires. The conductive wire at one end of the connection unit is bonded to the input/output pads to be exposed to the outside of the polyimide. The conductive wire at the other end of the connection unit is inserted into the conductive pad formed on a bottom surface of the PCB, and a solder pad

(37) is formed in the connection unit. An encapsulating material seals an upper surface of the chip to protect the chip from the external surroundings. A plurality of solder balls(32) is melted and bonded to the bottom surface of the PCB, and transfers the signal of the chip to a main board.



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 8		(11) 등록번호	10-0237329
H01L 23 /00		(24) 등록일자	1999년 10월 07일
(21) 출원번호	10-1997-0004655	(65) 공개번호	특 1998-0068171
(22) 출원일자	1997년 02월 17일	(43) 공개일자	1998년 10월 15일
(73) 특허권자	아남반도체주식회사 김규현 서울특별시 성동구 성수동 2가 280-8		
(72) 발명자	김영문 경기도 하남시 덕풍2동 370-64		
(74) 대리인	서만규		
심사관 : 유기혁			
(54) 칩 스케일 반도체 패키지의 구조 및 제조 방법			

명세서

도면의 간단한 설명

도 1 은 종래 일반적인 볼 그리드 어레이 반도체 패키지의 구조를 나타낸 단면도이다.

도 2A 및 도 2B 는 본 발명에 의한 칩 스케일 반도체 패키지의 구조를 나타낸 단면도 및 평면도이다.

도 3A 내지 도 3E 는 본 발명에 의한 칩 스케일 반도체 패키지의 제조 방법을 나타낸 단면도이다.

- 도면중 주요 부분에 대한 부호의 설명 -

10 ; 반도체 칩(Chip) 11 ; 입/출력 패드(Input/Output Pad)

20 ; 접착제

30 ; 인쇄 회로 기판(Printed Circuit Board)

31 ; 회로 패턴(Circuit Pattern) 32 ; 솔더 볼(Solder Ball)

33 ; 솔더 마스크(Solder Mask) 34 ; 솔더 볼 랜드(Solder Ball Land)

35 ; 전도성 패드(Conductive Pad) 36 ; 안내 구멍(Guide Hole)

37 ; 솔더 패드(Solder Pad) 38 ; 열경화성 수지

40 ; 연결 수단 41 ; 폴리이미드(Polyimide)

42 ; 전도성 와이어(Conductive Wire) 50 ; 봉지 수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩 스케일 반도체 패키지(Chip Scale Semi-Conductor Package)의 구조 및 제조 방법에 관한 것으로 보다 상세하게 설명하면 반도체 칩을 외부의 환경으로부터 보호하기 위해 봉지하는 패키지의 크기를 반도체 칩의 크기에 가까운 구조로 구비하여 메인 보드에서의 실장 밀도를 높이고 또한 제조 방법에 있어서 인쇄 회로 기판의 일면에만 회로 패턴을 형성하고 순차적인 와이어 본딩 공정을 없앴으로서 공정의 단순화를 꾀하여 저가격의 효과를 기대할 수 있는 칩 스케일 반도체 패키지의 구조 및 제조 방법에 관한 것이다.

일반적으로 반도체 패키지는 각종 전자 회로 및 배선이 적층되어 형성된 단일 소자 및 집적 회로 등의 반도체 칩을 먼지, 습기, 전기적, 기계적 부하 등의 각종 외부 환경으로부터 보호하고 상기 반도체 칩의 성능을 최적화, 극대화시키기 위해 리드 프레임이나 인쇄 회로 기판 등을 이용해 메인 보드로의 신호 입/출력 단자를 형성하고 봉지 수단을 이용하여 봉지한 것을 말한다.

이러한 반도체 패키지는 여러 종류가 있으며 최근에는 QFP(Quad Flat Package) 및 TQFP(Thin Quad Flat Package)의 파인 피치(Fine Pitch)화를 극복할 수 있는 볼 그리드 어레이 반도체 패키지(Ball Grid Array Semi-Conductor Package ; 이하 BGA 패키지라 칭함)가 주로 각광을 받고 있다.

상기 BGA 패키지의 구조는 도 1 에 도시된 바와 같이, 유리 섬유로 보강시킨 열경화성 수지 복합재(이하, 열경화성 수지(25'))라 칭함)를 구비하고 그것의 상부 중앙부에 차후의 반도체 칩(10')이 접착제(40')로 접착될 수 있도록 다이 접착 영역(21') 및 그 주변으로 복잡한 회로 패턴(23')이 형성되어 있고 또한 하부에도 복잡한 회로 패턴(23')을 형성한 후 샌드위치(Sandwich) 형태로 압착시킨 후 양표면에 고분자 수지의 솔더 마스크(24')를 이용하여 얇게 막을 입힌 형태의 인쇄 회로 기판(20')을 출발 재료로 하여 그 중앙부에 반도체 칩(10')이 접착제(40')로 접착되어 있고, 상기 반도체 칩(10')과 상기 회로 패턴(23')은 전도성 와이어(11')로 본딩되어 있으며, 상기 열경화성 수지(25') 저면의 회로 패턴(23')과 상면의 회로 패턴(23')은 전도성 비아(28' ; Conductive Via)로 서로 연결되어 있고, 상기 저면의 회로 패턴(23')에는 솔더 볼 랜드(27')가 다수 형성되어 있으며, 그 솔더 볼 랜드(27')에는 메인 보드(Main Board ; 도면에 도시되지 않음)로의 입출력 수단인 솔더 볼(26')이 융착된 구조로 되어 있다. 여기서 상기 다이 접착 영역(21') 및 회로 패턴(23')은 전도성 박막을 이용하여 형성하며, 상기 반도체 칩(10')과 전도성 와이어(11') 및 열경화성 수지(25')의 상면에 형성된 회로 패턴(23')을 외부의 여러가지 환경으로부터 보호하기 위해 액상 봉지제(Glob Top) 또는 일반적인 에폭시 몰딩 컴파운드(Epoxy Molding Compound)를 이용해 몸체(30')를 형성한 구조로 되어 있다. 한편 상기 BGA 패키지는 반도체 칩(10')의 신호가 전도성 와이어(11'), 상부의 회로 패턴(23'), 전도성 비아(28'), 하부의 회로 패턴(23'), 솔더 볼 랜드(27') 그리고 솔더 볼(26')을 통해서 메인 보드와 접속하게 됨으로서 반도체 칩이 작동하도록 도모하고 있는 것이다.

발명이 이루고자하는 기술적 과제

그러나 상기한 구조의 BGA 패키지는 반도체 칩의 크기에 비해 그 저면의 인쇄 회로 기판이 큰 부피를 차지하고 있으며 또한 봉지제로 반도체 칩을 감싸서 형성된 몸체 역시 부피가 크기 때문에 상기 BGA 패키지를 메인 보드에 실장시 그 실장 밀도를 저하시키는 원인이 되고 있다. 이러한 현상은 현재 초소형화 추세에 있는 전자 제품 설계에 있어서 그 메인 보드에 실장될 수 있는 여타의 다른 전자 소자의 실장 영역을 축소시킴으로서 메인 보드의 설계에 악영향을 끼치고 또한 전자 제품의 소형화 추세에 방해 요소로서 작용하고 있는 것이다. 한편 상기 인쇄 회로 기판의 회로 패턴은 양면에 형성되기 때문에 그 제조 공정이 복잡해지고 상기 반도체 칩과 상기 회로 패턴을 전기적으로 연결시키기 위한 와이어 본딩 작업도 와이

어 본더 장치에 의해 순차적인 작업으로 진행되기 때문에 제품의 생산성이 떨어지고 가격이 높아지는 단점이 있었다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 반도체 칩을 외부의 환경으로부터 보호하기 위해 봉지하는 패키지의 크기를 반도체 칩의 크기에 가까운 구조로 구비하여 메인 보드의 실장 밀도를 높이고 또한 제조 방법에 있어서 인쇄 회로 기판의 일면에만 회로 패턴을 형성하고 순차적인 와이어 본딩 공정을 없앴으로서 공정의 단순화를 꾀하여 저가격의 효과를 나타낼 수 있는 칩 스케일 반도체 패키지의 구조 및 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 칩 스케일 반도체 패키지의 구조는, 전자 회로 소자 및 배선이 적층되어 있고 표면에는 다수의 입/출력 패드가 형성되어 있는 반도체 칩과; 상기 반도체 칩의 저면에 접착제로서 접착되어 있으며 일면에 회로 패턴이 형성되어 있는 사각판 모양의 인쇄 회로 기판과; 상기 반도체 칩의 입/출력 패드를 인쇄 회로 기판의 회로 패턴에 전기적으로 각각 연결시킨 연결 수단과; 상기 반도체 칩을 외부의 환경으로부터 보호하기 위해 그 반도체 칩의 상부 표면을 감싼 봉지 수단과; 상기 인쇄 회로 기판의 저면에 그 반도체 칩의 신호를 메인 보드로 전달시켜 주기 위해 융착된 다수의 솔더 볼을 포함하여 이루어진 것을 특징으로 한다.

또한 상기한 목적을 달성하기 위해 본 발명에 의한 칩 스케일 반도체 패키지의 제조 방법은, 열경화성 수지의 일면에 전도성 박막으로 회로 패턴을 형성함으로써 인쇄 회로 기판을 제조하는 단계와; 상기 인쇄 회로 기판의 상면에 접착제로서 다수의 입/출력 패드가 형성된 반도체 칩을 접착하는 단계와; 상기 반도체 칩의 입/출력 패드와 인쇄 회로 기판의 회로 패턴을 연결 수단으로 서로 연결하는 단계와; 상기 반도체 칩의 상면을 봉지 수단으로 봉지하는 단계와; 상기 인쇄 회로 기판의 저면에 메인 보드로의 입/출력 수단인 솔더 볼을 융착시키는 단계로 이루어진 것을 특징으로 한다.

이하 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명에 의한 칩 스케일 반도체 패키지의 구조 및 그 제조 방법을 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도 2A 및 도 2B 는 본 발명에 의한 칩 스케일 반도체 패키지의 구조를 나타낸 단면도 및 평면도이다.

먼저 도 2A 에 도시된 바와 같이 본 발명에 의한 칩 스케일 반도체 패키지의 구조는, 각종 전자 회로 소자 및 배선이 적층되어 있고 표면에는 다수의 입/출력 패드(11)가 형성되어 있는 반도체 칩(10)이 위치되어 있고, 상기 반도체 칩(10)의 저면에는 접착제(20) 바람직하기로는 에폭시(Epoxy)로서 인쇄 회로 기판(30)의 열경화성 수지(38) 부분이 접착되어 있다.

여기서 상기 인쇄 회로 기판(30)은 열경화성 수지(38), 회로 패턴(31), 솔더 볼 랜드(34) 및 솔더 마스크(33)등으로 이루어져 있으며 이를 좀더 구체적으로 설명하면 열경화성 수지(38)를 기본 재료로 해서 그 하부에 전도성 박막으로서 바람직하기로는 구리 박막을 이용하여 촘촘하고 세밀하게 회로 패턴(31)을 형성하고 있고, 그 회로 패턴(31)에는 솔더 볼 랜드(34)가 각각 더 형성되어 있으며, 그 솔더 볼 랜드(34)를 제외한 회로 패턴(31)의 표면에는 그 회로 패턴(31)을 외부의 환경으로부터 보호하기 위해 고분자 수지인 솔더 마스크(33)가 코팅되어 있다. 또한 상기 인쇄 회로 기판(30)의 하부 가장 자리에 위치된 회로 패턴(31)에는 전도성 패드(35)가 돌출되어 형성되어 있다.

한편 상기 반도체 칩(10)의 입/출력 패드(11)는 연결 수단(40)으로서 인쇄 회로 기판(30)의 회로 패턴(31) 즉, 그 회로 패턴(31)에 각각 연결된 전도성 패드(35)에 각각 전기적으로 연결되어 있는데, 상기 연결 수단(40)은 다수의 전도성 와이어(42)가 서로 접촉하지 않도록 표면에 폴리이미드(41)가 도포되어 유연하게 움직일 수 있도록 되어 있으며 일단의 전도성 와이어(42) 부분은 반도체 칩(10)의 입/출력 패드(11)와 본딩될 수 있도록 노출되어 있고 다른 일단의 전도성 와이어(42) 부분은 인쇄 회로 기판(30)의 하부면에 형성된 전도성 패드(35)에 연결될 수 있도록 솔더 패드(37)가 형성된 폴리이미드(41) 필름(Polyimide Film)이다.

그리고 상기 반도체 칩(10)은 외부의 환경으로부터 보호하기 위해 그 상부면 표면이 봉지 수단으로 봉지되어 있는데 상기 봉지 수단으로는 에폭시 몰딩 컴파운드(Epoxy Molding Compound)나 액상 봉지제(Glob Top)가 사용되었다.

또한 상기 인쇄 회로 기판(30)의 저면에는 그 반도체 칩(10)의 신호를 메인 보드로 전달시켜 주기 위해 다수의 솔더 볼(32)이 융착되어 이루어져 있다.

도 2B 는 본 발명의 칩 스케일 반도체 패키지를 나타낸 평면도로서 사각판 형상의 반도체 칩(10)이 사각판 형상의 인쇄 회로 기판(30) 구체적으로는 열경화성 수지(38)의 상면에 접착제(20)로서 접착되어 있고 상기 반도체 칩(10)의 입/출력 패드(11)는 연결 수단(40)의 전도성 와이어(42)가 각각 연결되어 있음을 알 수 있다. 또한 상기 다수의 전도성 와이어(42)는 서로 접촉되지 않고 절연되도록 폴리이미드(41)가 감싸고 있는 구조를 하며 상기 폴리이미드(41)로 인해 연결 수단(40)이 유연한 성질을 갖도록 하고 있는 것이다. 여기서 상기 반도체 칩(10)의 크기와 인쇄 회로 기판(30)의 크기는 거의 비슷한 크기를 하고 있기 때문에 이러한 패키지가 메인 보드에 실장되었을 때 그 실장 밀도가 크게 향상됨을 알 수 있다.

한편 상기 인쇄 회로 기판(30)의 대각선 방향의 끝방향에는 소정의 안내 구멍(36)이 형성되어 있는데 이는 상기 연결 수단(40)을 인쇄 회로 기판(30) 및 반도체 칩(10)에 연결시킬 때 안내 역할을 할 수 있도록 하기 위해 형성된 것이다. 여기서 부호 50은 봉지 수단으로 봉지되는 영역을 도시한 것으로 도 2B 에서는 봉지 수단이 도포되지 않은 상태를 도시한 것이다.

도 3A 내지 도 3E 는 본 발명에 의한 칩 스케일 반도체 패키지의 제조 방법을 나타낸 단면도이다.

도시된 바와 같이 본 발명에 의한 칩 스케일 반도체 패키지의 제조 방법은, 먼저 인쇄 회로 기판(30)을 제조하는 단계로부터 시작된다. 즉, 열경화성 수지(38)를 구비하고 그 일면의 전도성 박막은 바람직하기로는 구리 박막으로 회로 패턴(31)을 형성하고, 그 회로 패턴(31)에는 또한 솔더 볼 랜드(34)를 형성하며 그 열경화성 수지(38)의 끝단에는 회로 패턴(31)과 연결되게 전도성 패드(35)를 형성한다. 그리고 상기 솔더 볼 랜드(34) 및 전도성 패드(35)를 제외한 회로 패턴(31) 영역을 솔더 마스크(33)로 코팅하여 외부의 이물질이나 오염원으로부터 보호할 수 있도록 한다. 여기서 상기 전도성 패드(35)는 중앙부에 움푹 파인 형상으로 형성하며, 또한 상기 인쇄 회로 기판(30)의 대각선 방향 끝단에는 소정의 안내 구멍(36 ; 도시되지 않음)을 드릴 등으로 형성한다.

이어서 상기 인쇄 회로 기판(30)의 열경화성 수지(38) 상면에 접착제(20)를 도포하여 다수의 입/출력 패드(11)가 형성된 반도체 칩(10)을 접착하게 되는데 여기서 상기 접착제(20)는 에폭시를 이용함이 가장 바람직하다.

그리고 상기 반도체 칩(10)의 입/출력 패드(11)와 인쇄 회로 기판(30)의 회로 패턴(31) 즉, 그 회로 패턴(31)에 연결된 전도성 패드(35)를 연결 수단(40)으로 서로 연결시키는데 이때 상기 반도체 칩(10)의 입/출력 패드(11)와 연결 수단(40)의 전도성 와이어(42)를 TAP(Tape Automated Bonding) 방법으로 먼저 연결한 다음, 인쇄 회로 기판(30)의 전도성 패드(35)와 연결 수단(40)의 다른 끝단에 형성된 솔더 패드(37)에는 소정의 열을 가하여 녹여 붙이는 방법으로 연결시킨다.

여기서 상기 TAP 방법은 기존의 순차적인 와이어 본딩 방법과는 다르게 상기 폴리이미드(41)로 감싸여진 다수의 전도성 와이어(42)들의 노출된 끝단을 반도체 칩(10)에 형성된 다수의 입/출력 패드(11)에 위치를 정확히 맞춘 후 상부에서 열 압착 본딩 방법을 이용하여 한번에 연결하는 것으로 그 연결 시간이 신속하고 불량률이 현저히 감소되는 장점이 있다.

그리고 상기 반도체 칩(10) 등을 외부의 환경으로부터 보호하기 위해 상기 반도체 칩(10)의 상면을 봉지 수단(50)으로 봉지하게 되는데 이때 상기 봉지 수단(50)은 일반적인 에폭시 몰딩 컴파운드를 사용하여 일정한 금형에서 봉지하거나 또는 액상 봉지제를 상기 반도체 칩(10)의 상부에서 뿌리고 굳히는 방법을 사용하여 실시할 수 있으며, 상기 인쇄 회로 기판(30)의 저면에는 메인 보드로의 입/출력 수단이 솔더 볼(32)을 융착 시킴으로서 본 발명에 의한 칩 스케일 반도체 패키지가 완성되는 것이다.

본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않고 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자에 의해 본 발명의 사상과 범주를 벗어나지 않는 범위 내에서 여러 가지의 변형된 실시예가 가능할 것이다.

발명의 효과

따라서 본 발명에 의한 칩 스케일 반도체 패키지의 구조 및 그 제조 방법은, 반도체 칩을 외부의 환경으로부터 보호하기 위해 봉지하는 패키지의 크기를 반도체 칩의 크기에 가까운 구조로 구비하여 메인 보드에서의 실장 밀도를 높이고 또한 제조 방법에 있어서 인쇄 회로 기판의 일면에만 회로 패턴을 형성하고 순차적인 와이어 본딩 공정을 없앴으로서 공정의 단순화를 꾀하여 저가격의 효과를 나타낼 수 있는 칩 스케일 반도체 패키지의 구조 및 제조 방법을 제공하는 것이다.

(57) 청구의 범위

청구항 1. 표면에 다수의 입/출력 패드가 형성된 반도체 칩과; 상기 반도체 칩의 저면에 접착제로 접착되어 있으며 일면에 회로 패턴이 형성되어 있고, 상기 회로패턴의 끝단인 가장자리에는 내측으로 움푹 파인 전도성 패드가 형성되어 있는 대략 사각판 모양의 인쇄 회로 기판과; 다수의 전도성 와이어가 일정 거리 이격되어 서로 접촉하지 않도록 표면에는 폴리이미드가 일체로 도포되어 유연하게 움직일 수 있도록 되어 있으며, 일단의 전도성 와이어 부분은 반도체 칩의 입/출력패드와 본딩되어 폴리이미드 외측으로 노출되어 있고, 다른 일단의 도전성 와이어 부분은 상기 인쇄 회로 기판의 저면에 형성된 전도성 패드에 삽입되어 융착되는 솔더 패드가 형성된 연결수단과; 상기 반도체 칩 등을 외부의 환경으로부터 보호하기 위해 그 반도체 칩의 상부 표면을 감싼 봉지 수단과; 상기 인쇄 회로 기판의 저면에 그 반도체 칩의 신호를 메인 보드로 전달시켜 주기 위해 융착된 다수의 솔더 볼을 포함하여 이루어진 것을 특징으로 하는 칩 스케일 패키지의 구조.

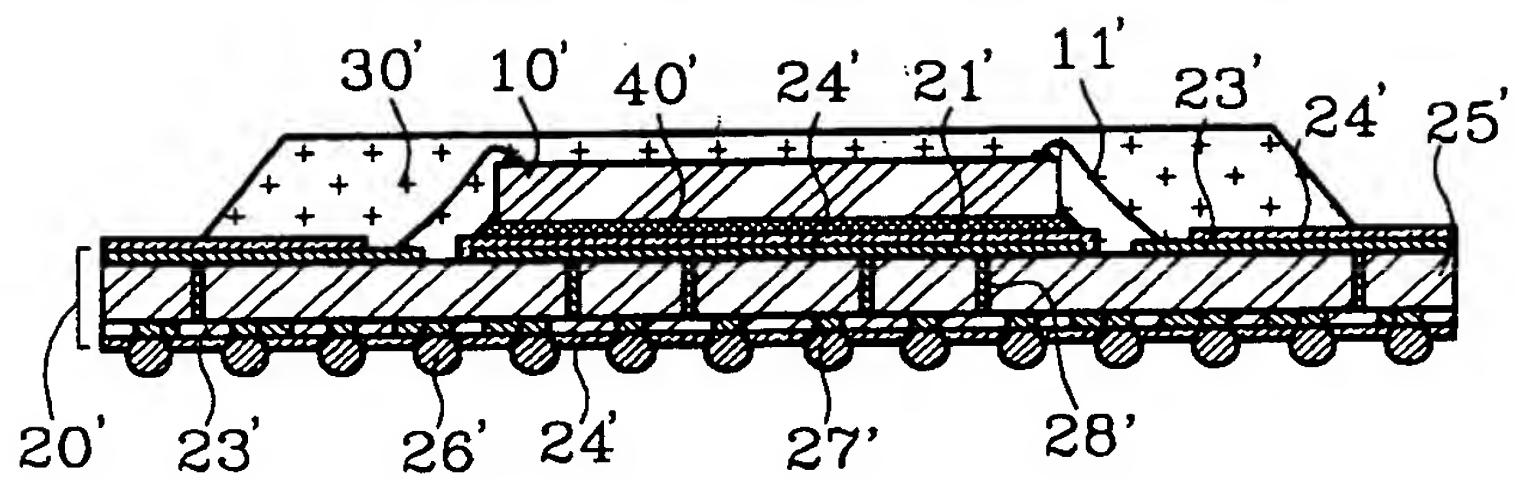
청구항 2. 제1항에 있어서, 상기 인쇄 회로 기판은 그 대각선 방향의 끝단 부분 각각에 소정의 안내 구멍이 형성되어 있는 것을 특징으로 하는 칩 스케일 반도체 패키지의 구조.

청구항 3. 열경화성 수지의 일면에 전도성 박막으로 회로 패턴을 형성하고, 가장자리의 회로 패턴 부분에는 차후 연결 수단과의 용이한 연결을 위하여 내측으로 움푹 파인 전도성 패드가 형성된 인쇄 회로 기판을 제조하는 단계와; 상기 인쇄 회로 기판의 상면에 접착제로서 다수의 입/출력 패드가 형성된 반도체 칩을 접착하는 단계와; 다수의 전도성 와이어가 일정 거리 이격되어 서로 접촉되지 않도록 폴리이미드로 감싸여지며 일단은 상기 입/출력 패드에 본딩되도록 폴리이미드 외측으로 노출되고 타단은 상기 전도성 패드에 삽입되도록 솔더 패드가 형성된 연결수단을 이용하여 반도체칩과 인쇄 회로기판을 상호 전기적으로 접속하는 단계와; 상기 반도체 칩의 상면을 봉지 수단으로 봉지하는 단계와; 상기 인쇄 회로 기판의 저면에 메인 보드로의 입/출력 수단인 솔더 볼을 융착시키는 단계로 이루어진 것을 특징으로 하는 칩 스케일 반도체 패키지의 제조 방법.

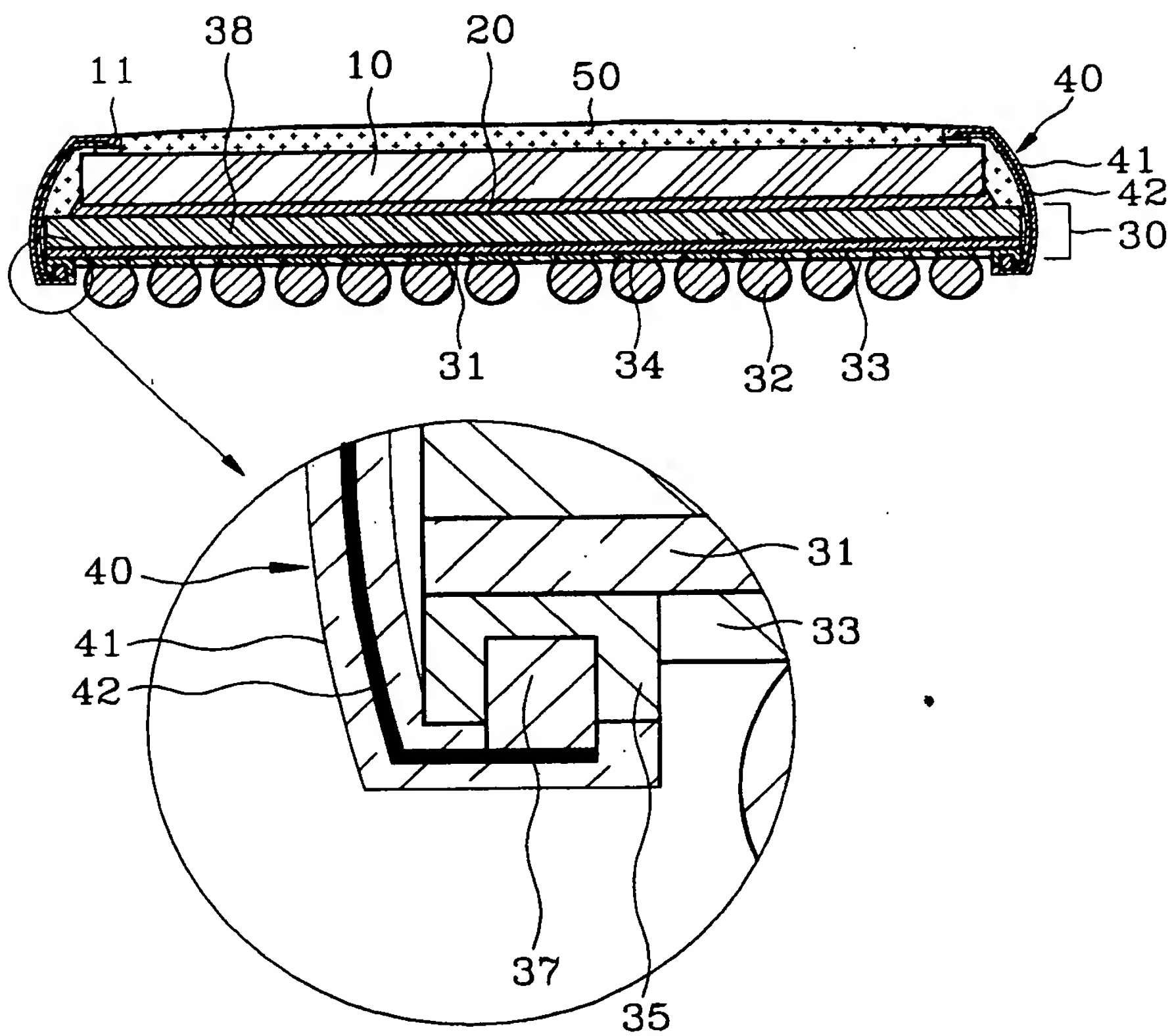
청구항 4. 제3항에 있어서, 상기 반도체 칩의 입/출력 패드와 연결 수단은 TAB(Tape Automated Bonding)을 이용하여 본딩하고 인쇄 회로 기판의 전도성 패드에는 소정의 열을 가하여 녹여 붙이는 것을 특징으로 하는 칩 스케일 반도체 패키지의 제조 방법.

도면

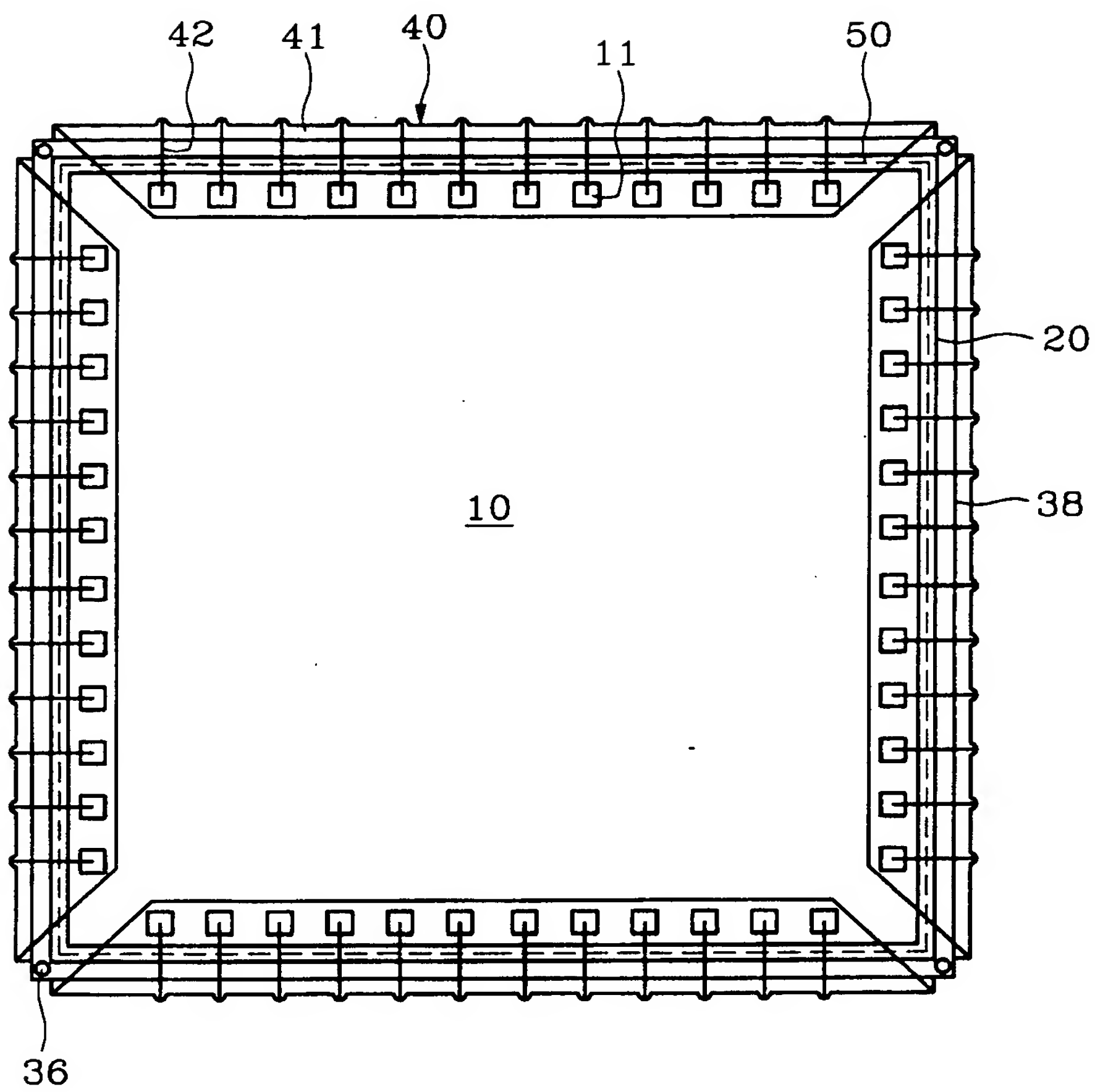
도면1



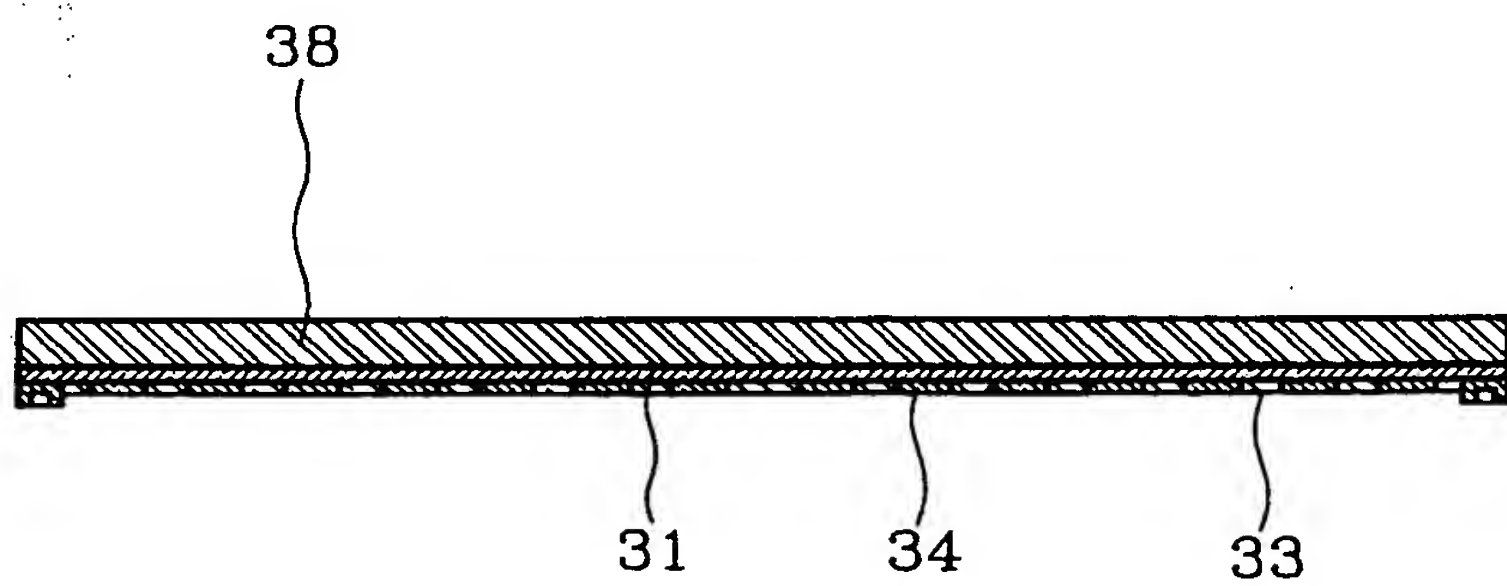
도면2a



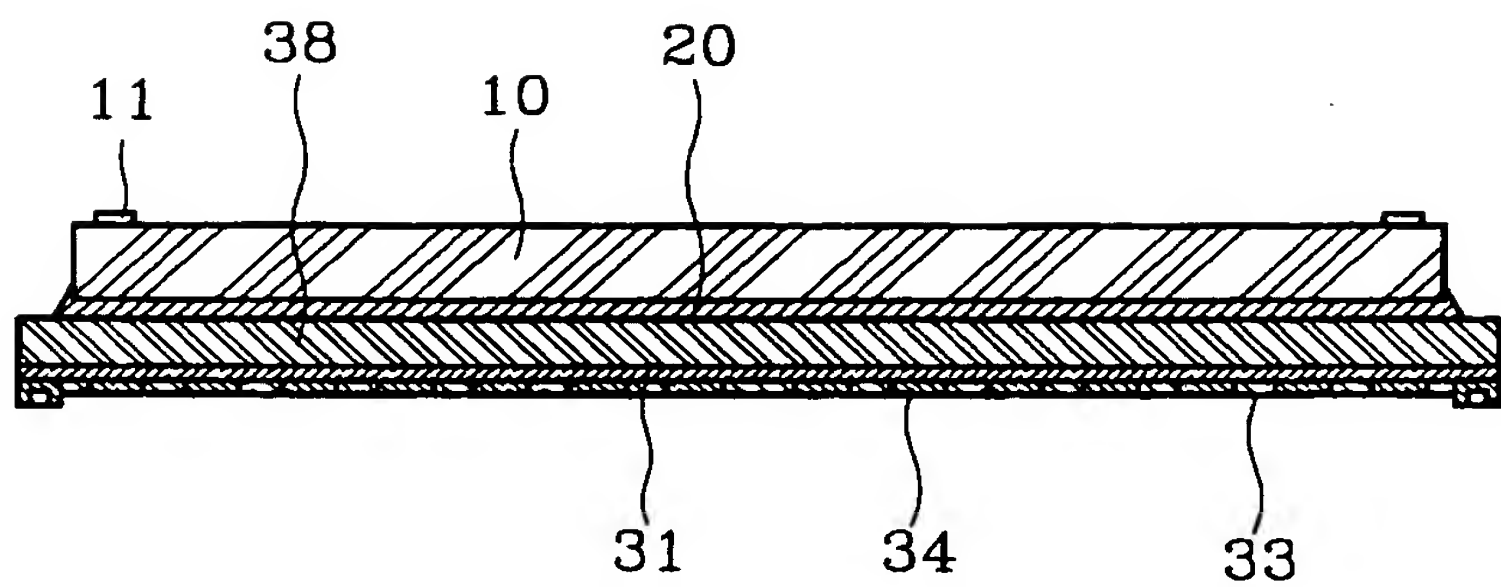
도면2b



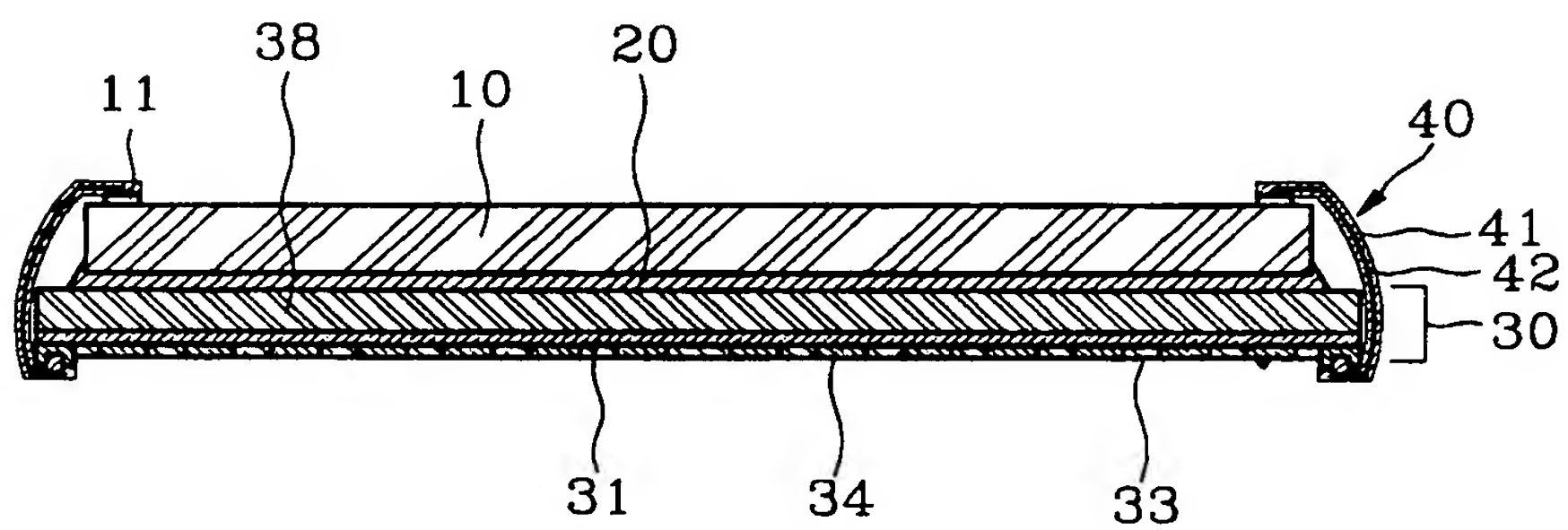
도면3a



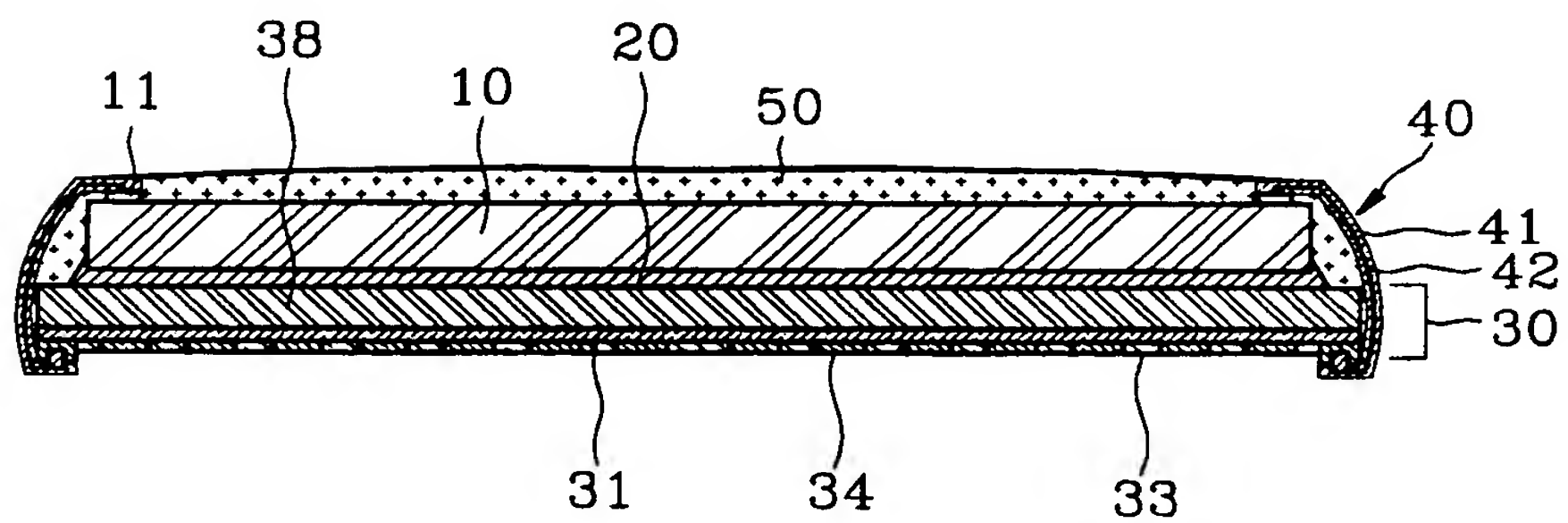
도면3b



도면3c



도면3d



도면3e

